

Protocolo

SPI

INGENIERIA EN MICROCONTROLADORES

Protocolo SPI(Serial Peripheral Interface)



Teoría y
Aplicaciones

INGENIERÍA EN MICROCONTROLADORES

Curso de Redes de Microcontroladores PIC (Protocolo SPI)

© Ingeniería en Microcontroladores
Teléfono 044 55 11 29 55 05 • E-mail: cursos@i-micro.com
México Distrito federal

Serial Peripheral Interface

Spi es un bus de tres líneas, sobre el cual se transmiten paquetes de información de 8 bits. Cada una de estas tres líneas porta la información entre los diferentes dispositivos conectados al bus. Cada dispositivo conectado al bus puede actuar como transmisor y receptor al mismo tiempo, por lo que este tipo de comunicación serial es full duplex. Dos de estas líneas transfieren los datos (una en cada dirección) y la tercer línea es la del reloj.

Algunos dispositivos solo pueden ser transmisores y otros solo receptores, generalmente un dispositivo que tramite datos también puede recibir.

Un ejemplo podría ser un memoria EEPROM, el cual es un dispositivo que puede transmitir y recibir información.

Los dispositivos conectados al bus son definidos como maestros y esclavos. Un maestro es aquel que inicia la transferencia de información sobre el bus y genera las señales de reloj y control.

Un esclavo es un dispositivo controlado por el maestro. Cada esclavo es controlado sobre el bus a través de una línea selectora llamada **Chip Select o Select Slave**, por lo tanto es esclavo es activado solo cuando esta línea es seleccionada. Generalmente una línea de selección es dedicada para cada esclavo.

En un tiempo determinado T_1 , solo podrá existir un maestro sobre el bus. Cualquier dispositivo esclavo que no este seleccionado, debe deshabilitarse (ponerlo en alta impedancia) a través de la línea selectora (**chip select**).

(SERIAL PERIPHERICAL INTERFACE) SPI

El bus SPI emplea un simple registro de desplazamiento para transmitir la información.

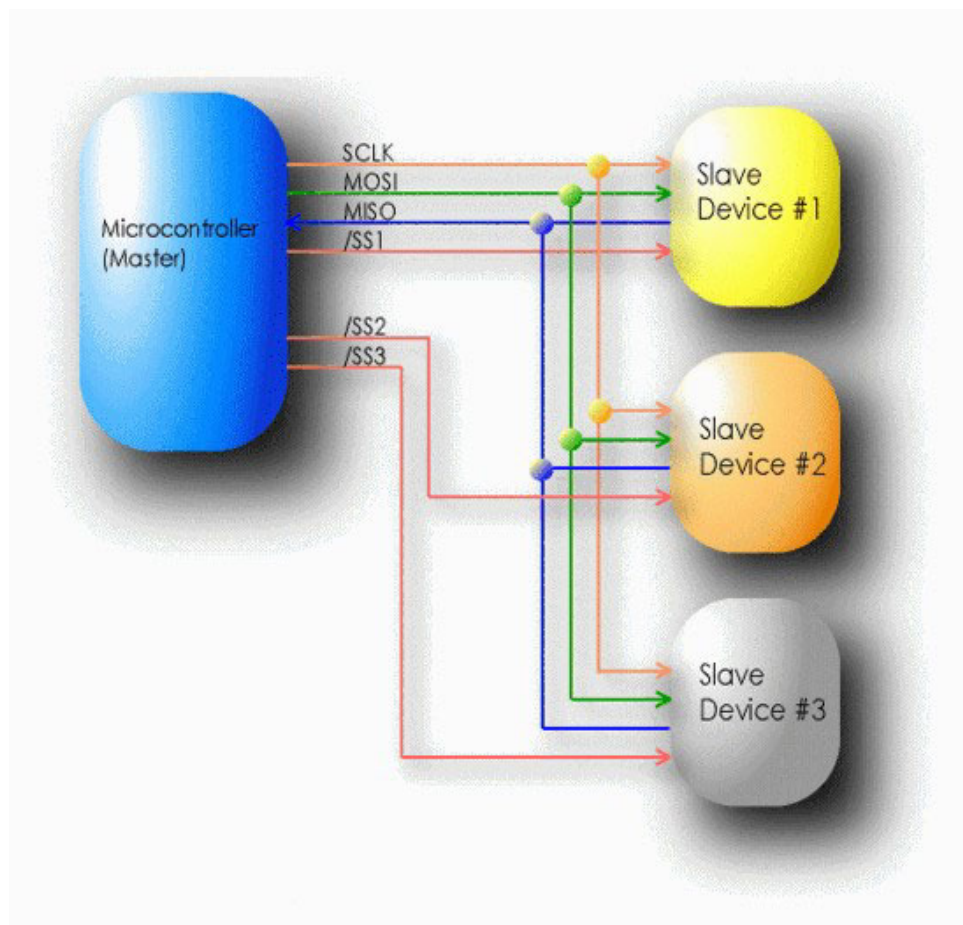
Especificaciones del Bus

Todas las líneas del bus transmiten la información sobre una sola dirección.

La señal sobre **la línea de reloj (SCLK)** es generada por el maestro y sincroniza la transferencia de datos.

La línea MOSI (Master Out Slave In) transporta los datos del maestro hacia el esclavo.

La línea MISO (Master In Slave Out) transporta los datos del esclavo hacia el maestro.



Cada esclavo es seleccionado por un nivel lógico bajo ('0') a través de la línea (**CS = Chip Select o SS Slave Select**). Los datos sobre este bus pueden ser transmitidos a una razón de casi cero bits /segundo hasta 1 Mbits/ segundo. **Los datos son transferidos en bloques de 8 bits, en donde el bits mas significativo (MSB) se transmite primero.**

Modos del Reloj

Todos la transferencia de los datos, son sincronizados por la línea de reloj de este bus. Un BIT es transferido por cada ciclo de reloj.

La mayoría de las interfaces SPI tienen 2 bits de configuración, llamados **CPOL (Clock Polarity = Polaridad de Reloj)** y **CPHA (Clock Phase = Reloj de Fase)**. **CPOL** determina si el estado **Idle** de la línea de reloj esta en bajo (**CPOL=0**) o si se encuentra en un estado alto (**CPOL=1**). **CPHA** determina en que filo de reloj los datos son desplazados hacia dentro o hacia fuera.

(Si **CPHA=0** los datos sobre la línea MOSI son detectados cada filo de bajada y los datos sobre la línea MISO son detectados cada filo de subida).

Cada BIT tiene 2 estados, lo cual permite 4 diferentes combinaciones, las cuales son incompatibles una de la otra. Por lo que si dos dispositivos SPI desean comunicarse entre si, estos deben tener el mismo la **misma Polaridad de Reloj (CPOL)** y la **misma Fase de Reloj (CPHA)**.

Existen cuatro modos de reloj definidos por el protocolo SPI, estos modos son :

- **Modo A**
- **Modo B**
- **Modo C**
- **Modo D**

Estos determinan el valor de la polaridad del reloj (**CPOL = Clock Polarity**) y el bit de fase del reloj (**CPHA = Clock Phase**). La mayoría de los dispositivos SPI pueden soportar al menos 2 modos de los 4 antes mencionados.

Los diferentes modos son ilustrados a continuación.

El BIT de **Polaridad del reloj determina el nivel del estado de Idle del reloj** y el BIT de **Fase de reloj determina que flanco recibe un nuevo dato sobre el bus**. El modo requerido para una determinada aplicación, esta dado por el dispositivo esclavo. La capacidad de multi-modo combinada con un simple registro de desplazamiento hace que el bus SPI sea muy versátil.

Polaridad del reloj (CPOL=Clock Polarity)

Si CPOL esta en un 0 lógico y ningún dato esta siendo transferido (**Estado Idle**), el maestro mantiene la línea **SCLK** en bajo.

Si CPOL esta en un 1 lógico, el maestro desocupa la línea SCLK alta.

Fase Del Reloj (CPHA)

CPHA, conjuntamente con **CPOL**, controlan cuando los nuevos datos son colocados en el bus. Si **CPHA es igual a un '1' lógico**, los datos son desplazados sobre la línea **MOSI** según lo determinado por el valor de **CPOL**.

Para **CPHA = 1**:

Si **CPOL = 1**, los nuevos datos se colocados sobre la línea cuando el flanco del reloj es descendente y se leen cuando el flanco del reloj es ascendente .

Si **CPOL = 0**, los nuevos datos se ponen en la línea cuando el flanco del reloj es ascendente y se leen cuando el reloj tiene un flanco descendente.

Si **CPHA = 0**, el reloj de cambio es la OR de SCLK con la terminal **Chip Select**.

Tan pronto como el terminal **Chip Select** se coloca en un nivel lógico 0, los nuevos datos se ponen en la línea y el primer filo de del reloj se leen los datos. Si **CPOL** se activa a un nivel lógico '1', el primer borde de reloj baja y los bits de datos subsecuentes se leen en cada filo de bajada sobre la línea de reloj.

Cada nuevo bit se pone en la línea cuando el reloj tiene un flanco ascendente de Reloj. Si **CPOL** es cero, el primer filo de reloj ascendente y los bits de datos subsecuentes se leen en cada filo ascendente de reloj. Cada nuevo bit se coloca en la línea cuando el filo del reloj baja.

En resumen, Si **CPHA=1**, la transferencia (datos válidos leídos por el receptor) comienza en el segundo filo de reloj.

Si **CPHA=0**, la transferencia comienza en el primer filo de reloj. Todas las transferencias subsecuentes dentro del byte ocurren en cada filo de reloj.

Véase las siguiente figuras, en todos los casos, los datos se leen a la mitad del ciclo de reloj después de que se ponen en la línea de datos.

(SERIAL PERIPHERAL INTERFACE) SPI

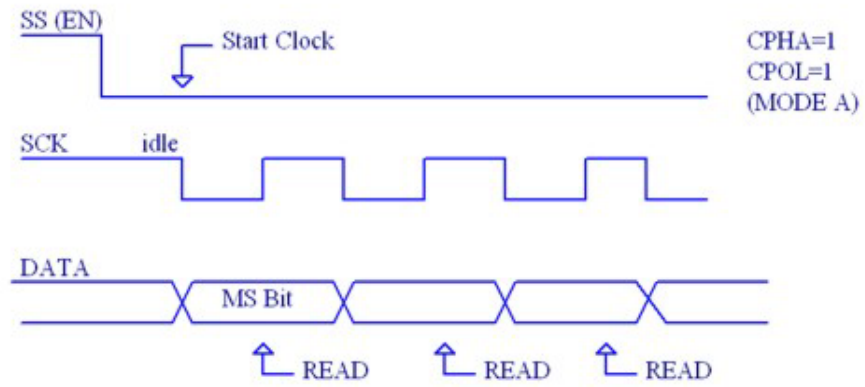


Figura 1: Modo A

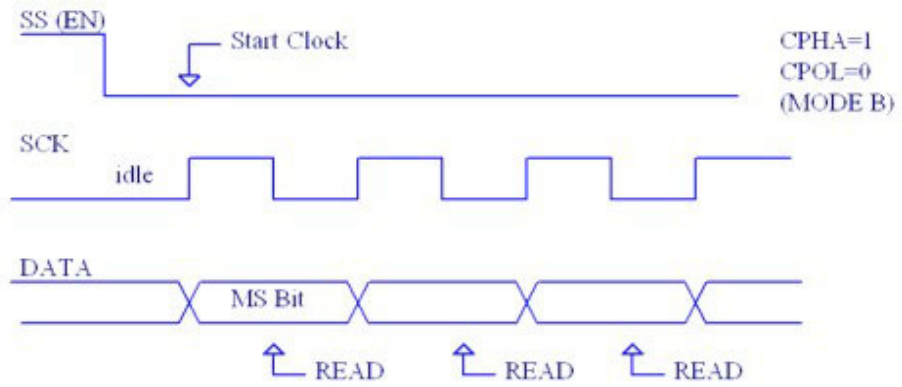
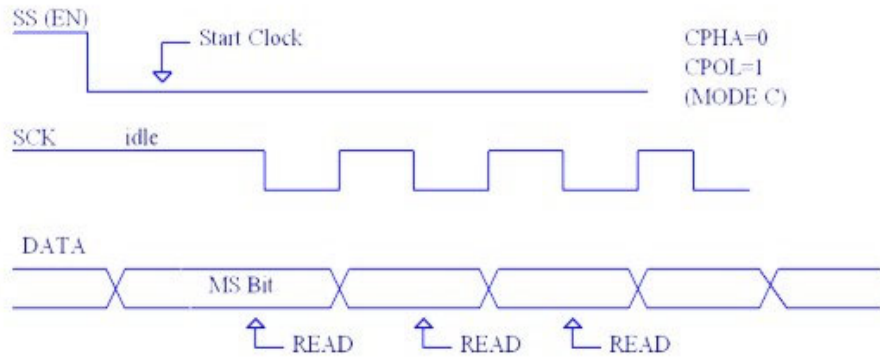


Figura 2: Modo B



(SERIAL PERIPHERAL INTERFACE) SPI

Figura 3: Modo C

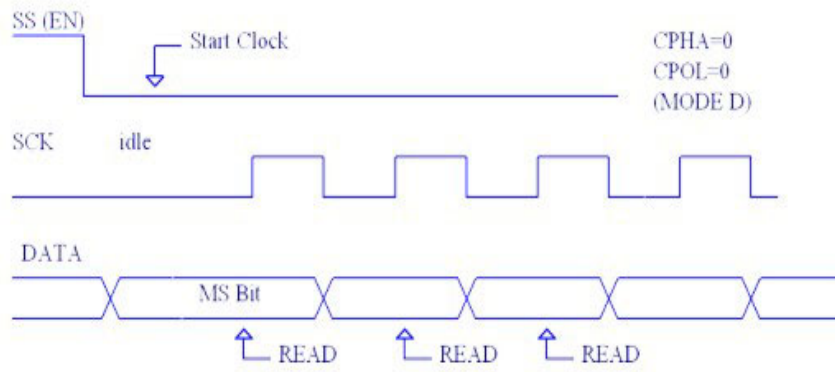


Figura 4: Modo D

(SERIAL PERIPHERICAL INTERFACE) SPI

PROTOCOLO SPI

Elaborado por el Ing. Eric López Pérez

© Ingeniería en Microcontroladores
E-mail: elp@i-micro.com